

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-007867**

(43)Date of publication of application : **13.01.1992**

(51)Int.CI. **H01L 25/065**
H01L 25/00
H01L 25/04
H01L 25/07
H01L 25/18

(21)Application number : **02-108621**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **26.04.1990**

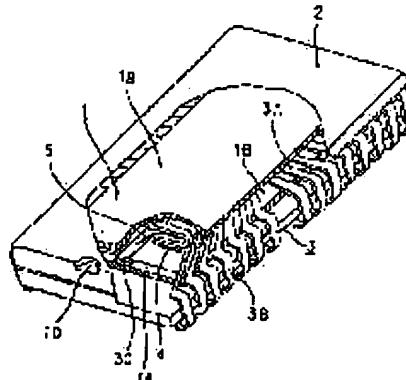
(72)Inventor : **OGUCHI SATOSHI**
ISHIHARA MASAMICHI
ITO KAZUYA
MURAKAMI HAJIME
ANJO ICHIRO
SAKUTA TOSHIYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To improve manufacturing yield and intend cost optimization, by dividing a semiconductor device with a specified function based on the optimum design into a plurality of semiconductor elements, connecting them directly by using bonding pads, wires, leads, etc., and reconstituting a semiconductor device with a specified function.

CONSTITUTION: A 64 Mbit DRAM 1 with a specified function based on the optimum design is divided into two 32 Mbit DRAM subchips 1A and 1B, which are electrically connected so as to constitute the 64 Mbit DRAM 1 with a function before division which is based on the optimum design. Thus a laminated layer structure is completed through direct electric connection using bonding pads, wires, leads, etc., without interposing a wiring board and the like. Thereby a semiconductor device based on the optimum design can be easily obtained, and cost optimization can be intended.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

平4-7867

⑬ Int. Cl. 5
H 01 L 25/065

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月13日

7638-4M H 01 L 25/08
7638-4M 25/04Z
Z※

審査請求 未請求 請求項の数 9 (全20頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-108621
⑰ 出 願 平2(1990)4月26日

⑮ 発明者	小 口 聰	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
⑮ 発明者	石 原 政 道	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
⑮ 発明者	伊 藤 和 弥	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
⑮ 発明者	村 上 元	東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑯ 出願人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑰ 代理人	弁理士 秋田 収喜	

最終頁に続く

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された半導体素子又は回路を有する複数個の半導体チップが、前記分割前の最も適切な設計による所定の機能を有する半導体装置を再構成するように電気的に接続されていることを特徴とする半導体装置。

2. 前記複数個の半導体チップ間の電気的接続は、配線基板等を介すことなく直接ポンディングパッド、ワイヤ、リード等により接続されていることを特徴とする請求項1に記載の半導体装置。

3. 前記複数個の半導体チップは、重ね合せられた積層構造になっていることを特徴とする請求項1又は2に記載の半導体装置。

4. 前記半導体チップの回路形成面のX方向又は

Y方向の中心線部にポンディングパッドが設けられ、ポンディングパッドとリードの電気的接続が標準配置に対して逆にワイヤポンディングされた半導体チップと、前記ポンディングパッドとリードの電気的接続が標準配置にワイヤポンディングされた半導体チップとが、それぞれの同一機能のリード同志を接着して重ね合せられた積層構造になっていることを特徴とする請求項3に記載の半導体装置。

5. 前記分割された各半導体チップは、それぞれ同じ半導体素子又は回路群からなることを特徴とする請求項1乃至3の各項に記載の半導体装置。

6. 前記分割された各半導体チップは、それそれぞれ異なる半導体素子又は回路群からなることを特徴とする請求項1乃至3の各項に記載の半導体装置。

7. 最も適切な設計による所定の機能を有する半導体装置を2分割した同じ半導体素子又は回路を有する2個の半導体チップが、リードの上に

8. 絶縁フィルムを介してペレット付けされ、各リードと対応するボンディングパッドとがワイヤボンディングされ、各リードが背合せになるよう所定位置で折り曲げられて2個の半導体チップの背面が絶縁フィルムを介して接合されていることを特徴とする半導体装置。

9. 最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された各半導体素子又は回路が形成された複数個の半導体チップがそれぞれ配線基板に搭載され、これらの配線基板が重ね合せられ、それぞれが前記分割前の最も適切な設計による所定の機能を有する半導体装置を再構成するように電気的に接続されていることを特徴とする半導体装置。

10. 前記分割された各半導体チップは、それぞれ同じプロセス又は異なるプロセスで製造され、その後最も適切な設計による所定の機能を有する半導体装置に組み合せられ、一つのパッケージに実装されることを特徴とする請求項1乃至

積み重ねて実装し、前記半導体チップと基板上のメタライズ部分をリードで接続し、さらに前記チップをモールドで保護した半導体装置がある。

〔発明が解決しようとする課題〕

しかしながら、前記従来技術は、いずれも2個の半導体チップを積み重ねて実装し、実装密度を向上させるだけのためのものであり、高集積半導体装置の最適な設計をするためのものではなく、何ら設計上の技術として考慮されておらず、かつ、製造歩留が悪いという問題があった。

例えば、64メガビット(Mbit)DRAM (Dynamic Random Access Memory) 以上の半導体記憶装置のようにメモリセルの数が膨大になってくると、高速化が難しく、かつ製造歩留が極めて悪くなるという問題があった。

本発明は、前記問題点を解決するためになされたものであり、その課題は、最も適切な設計による半導体装置が容易に得られる技術を提供することにある。

本発明の他の課題は、半導体チップの数を増し

8の各項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、最も適切な設計による所定の機能を有する半導体装置を複数の半導体チップに分割し、良品のみ組み合せて一つのパッケージに実装する半導体装置に関する、特に、前記分割された半導体チップが重ね合せられた積層構造になっている高集積半導体装置に適用して有効な技術に関するものである。

〔従来技術〕

従来、複数の半導体チップを一つのパッケージに実装するものとしては、例えば、特開昭61-284951号公報に記載されるように、第1の半導体チップの主表面上に前記半導体チップと異なる第2の半導体チップを相互に表面が対向するように接合し、これらを一体的にパッケージングした半導体装置がある。

また、特開昭62-283634号公報に記載されるように、基板上に複数個の半導体チップを

ても平面的には大きくならない高集積半導体装置が得られる技術を提供することにある。

本発明の他の課題は、半導体チップが重ね合せられた構造の半導体装置において、電気的特性を向上させることができ可能な技術を提供することにある。

本発明の他の課題は、最も適切な設計による半導体装置の製造歩留を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された半導体素子又は回路を有する複数個の半導体チップが前記分割前の最も適切な

設計による所定の機能を有する半導体装置を再構成するように電気的に接続されている半導体装置。
(2) 前記複数個の半導体チップ間の電気的接続は、配線基板等を介することなく直接ポンディングパッド、ワイヤ、リード等により接続されている。

(3) 前記複数個の半導体チップは、重ね合せられた積層構造になっている。

(4) 前記半導体チップの回路形成面のX方向又はY方向の中心線部にポンディングパッドが設けられ、ポンディングパッドとリードの電気的接続が標準配置に対して逆にワイヤポンディングされた半導体チップと、前記ポンディングパッドとリードの電気的接続が標準配置にワイヤポンディングされた半導体チップとが、それぞれの同一機能のリード同志を接着して重ね合せられた積層構造になっている。

(5) 前記分割された各半導体チップは、それぞれ同じ半導体素子又は回路群からなる。

(6) 前記分割された各半導体チップは、それぞ

れ異なる半導体素子又は回路群からなる。

(7) 最も適切な設計による所定の機能を有する半導体装置を2分割した同じ半導体素子又は回路を有する2個の半導体チップが、リードの上に絶縁フィルムを介してペレット付けされ、各リードと対応するポンディングパッドとがワイヤポンディングされ、各リードが背合せになるように所定位置で折り曲げられて2個の半導体チップの背面が絶縁フィルムを介して接合されている。

(8) 最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された各半導体素子又は回路が形成された複数個の半導体チップがそれぞれ配線基板に搭載され、これらの配線基板を重ね合せられ、それぞれが前記分割前の最も適切な設計による所定の機能を有する半導体装置を再構成するように電気的に接続されている。

(9) 前記分割された各半導体チップは、それぞれ同じプロセス又は異なるプロセスで製造され、その後最も適切な設計による所定の機能を有する

半導体装置に組み合せられ、一つのパッケージに実装される。

(作用)

前述の手段によれば、以下の作用効果を奏する。
(1) 及び (2) の手段によれば、最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された半導体素子又は回路を有する複数個の半導体チップが前記分割前の最も適切な設計による所定の機能を有する半導体装置を再構成するように、配線基板等を介することなく、直接ポンディングパッド、ワイヤ、リード等により電気的に接続されているので、最も適切な設計による半導体装置を容易に得ることができる。

また、最も適切な設計による半導体装置の製造歩留を向上することができる。

また、分割により1個のパッファ回路の配置面積が小さくなるため、その分散配線が容易となる。

また、分割により配線長が短くなることにより、配線の寄生負荷(抵抗、容量)を低減できるので、

信号伝達の高速化がはかる。

(3) の手段によれば、前記複数個の半導体チップを重ね合せて積層構造にするので、従来のパッケージの外形と同じ寸法で実装密度を向上することができる。

(4) の手段によれば、ポンディングパッドとリードの電気的接続が標準配置に対して逆にワイヤポンディングされた半導体チップと、前記ポンディングパッドとリードの電気的接続が標準配置にワイヤポンディングされた半導体チップとが、それぞれの同一機能のリード同志を接着して重ね合せられた積層構造にすることにより、内部配線を短縮することができるので、信号伝送速度を速くすることができる。

(5) の手段によれば、前記分割された各半導体チップは、それぞれ同じ半導体素子又は回路からなることにより、積層してパッケージ内配線を使用することができるので、多ビット構成が容易に実現できる。

また、良品部分だけを組み合せ、小規模のオ

パヘッドを各半導体チップに持たせ必要部分だけをパッケージ内配で接続するので、製造の歩留を向上させることができる。

(6) によれば、前記分割された各半導体チップは、それぞれ異なる半導体素子又は回路で構成されていることにより、多種類のシステムを構成することができる。

(7) の手段によれば、最も適切な設計による所定の機能を有する半導体装置を2分割した同じ半導体素子又は回路を有する2個の半導体チップが、リードの上に絶縁フィルムを介してペレット付けされ、各リードと対応するポンディングパッドとがワイヤポンディングされ、各リードが背合せになるように所定位置で折り曲げられて2個の半導体チップの背面が絶縁フィルムを介して接合されているので、外形の小さな高集積半導体装置を低成本で実現することができる。

(8) の手段によれば、最も適切な設計による所定の機能を有する半導体装置が複数の半導体素子又は回路群に分割され、該分割された各半導体素

子又は回路が形成された複数個の半導体チップがそれぞれ配線基板に搭載され、これらの配線基板を重ね合せられ、それぞれが前記分割前の最も適切な設計による所定の機能を有する半導体装置を再構成するように電気的に接続されているので、高集積半導体装置を容易に得ることができる。

(9) の手段によれば、前記分割された各半導体チップは、それぞれ同じプロセス又は異なるプロセスで製造され、その後最も適切な設計による所定の機能を有する半導体装置に組み合せられ、一つのパッケージに実装されるので、製造歩留を向上することができると共に、コストの最適化がはかる。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

第1図は、本発明の一実施例である64メガビ

ット[Mbit] DRAM(半導体チップ)を封止する樹脂封止型半導体装置の概略構成を示す部分断面斜視図。

第2図は、第1図の平面図。

第3図は、第2図の(イ)-(イ)線で切った断面図である。

第1図、第2図及び第3図に示すように、64MbitDRAM(半導体チップ)1は、SOJ(S_oJ 11 Out-line J-bend)型の樹脂封止型パッケージ2で封止されている。

前記DRAM1は、64メガビット[Mbit]×1ビット[bit]の大容量で構成され、300[mil]×850[mil]の樹脂封止型パッケージ2に封止される。

また、第4図(DRAM1の最適設計のレイアウト平面図)に示すように、DRAM1は、ウェーハ上に最も適切な設計により形成され、スクライプエリア1Cで分離され、2個の32MbitDRAMサブチップ1Aと1Bに分割される。DRAMサブチップ1Aと1Bのそれぞれの4個のI

/O(8個のI/O)バッファ回路を組み合せてそれぞれ8個のI/O(16I/O)バッファ回路が構成される。また、DRAMサブチップ1Aと1Bのそれぞれの8個のI/Oバッファ回路を配置し、×1(bit)、×4(bit)、×8(bit)、×16(bit)まで配線の組み替えにより実現することができる。

前記DRAMサブチップ1Aと1Bの回路形成面(以下、正面という)には、主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは、後に詳述するが、1[bit]の情報を記憶するメモリセル(記憶素子)を行列状に複数配置している。前記周辺回路は、直接周辺回路及び間接周辺回路で構成されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読み出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコーダ回路、カラムアドレスデコーダ回路、センスアンプ回路等を含む。間接周辺回路は、前記直接周辺回路の動作を間接的に制御する回路である。間接周辺回路は、クロック信号発生

回路、バッファ回路等を含む。

第4図において、①はアドレスバッファ回路、②はクロック回路、③はメインアンプ回路、④は入出力(I/O)バッファ回路、⑤はV_{bb}発生回路、⑥はワード電圧発生回路、⑦はカラムデコーダ、⑧はロードコーダ、⑨はセンスアンプ回路、⑩はメモリアレイ(512Kbitアレイ)、1BPはボンディングパッドである。

ここで、最適設計の例について説明する。

(1) 16MbitDRAMを4個使用して64MbitDRAMを設計する場合は次のようになる。

16MbitDRAMの規格

同時動作ビット数	4096bit
リフレッシュ回数	4096回
リフレッシュアドレス	12アドレス
テストモード	16ビット同時読み出し

16MbitDRAMを4個使用した64MbitDRAM

同時動作ビット数	16kbit
リフレッシュ回数	4096回

リフレッシュアドレス

12アドレス

テストモード

64ビット同時

読み出し

(2) 64MbitDRAMを考えて16MbitDRAMを最適設計すると。

16MbitDRAMの規格

同時動作ビット数	2048bit
リフレッシュ回数	8192回
リフレッシュアドレス	13アドレス
テストモード	8ビット同時読み出し

16MbitDRAMを4個使用した64MbitDRAM

同時動作ビット数	8kbit
リフレッシュ回数	8192回
リフレッシュアドレス	13アドレス
テストモード	32ビット同時読み出し

DRAMの消費電力は動作ビット数が多いほど増加するため前記(1)の場合の設計では消費電力が(2)の場合よりも大きくなる。また、リフ

レッシュアドレスも(1)の場合では通常のDRAMと異なってしまい、通常のDRAMとのコンパチビリティがなくなってしまう。つまり、本発明は、前記(2)の場合に着目したものである。

前記DRAMサブチップ1A及び1Bのそれぞれの正面、つまり前記メモリアレイ⑩及び周辺回路を配置した表面上には、インナーリード3Aを配置している。DRAMサブチップ1A及び1Bとインナーリード3Aとの間には、絶縁性フィルム4を介在している。絶縁性フィルム4は、例えばポリイミド系樹脂膜で形成されている。この絶縁性フィルム4のDRAMサブチップ1A及び1B側、インナーリード3A側の両方の表面には、接着層(図示しない)が設けられている。接着層としては、例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。

前記DRAMサブチップ1A及び1Bは、第4図に示すように、それぞれの回路形成面の長手方向(Y方向)の中心線部にボンディングパッド(外部端子)1BPが設けられている。DRAM

サブチップ1Aは、第5A図に示すように、前記ボンディングパッド1BPとインナーリード3Aの電気的接続が標準配置にボンディングワイヤ5でワイヤボンディングされている。また、DRAMサブチップ1Bは、第5B図に示すように、前記ボンディングパッド1BPとインナーリード3Aの電気的接続が標準配置に対して逆にボンディングワイヤ5でワイヤボンディングされている。

また、第3図に示すように、前記DRAMサブチップ1A及び1Bのそれぞれの同一機能のリード同志を接着して重ね合せられた複層構造になっている。

この種の樹脂封止型パッケージ2は、DRAMサブチップ1A及び1Bのそれぞれの上にインナーリード3Aを配置したLOC(Lead On Chip)構造を採用している。LOC構造を採用する樹脂封止型パッケージ2は、DRAMサブチップ1A及び1Bの形状に規制されずにインナーリード3Aを自由に引き回せるので、この引き回しに相当する分、サイズの大きなDRAM1を封止するこ

とができる。つまり、LOC構造を採用する樹脂封止型パッケージ2は、大容量化に基づきDRAM M1のサイズが大型化しても、封止サイズ(パッケージサイズ)を小さく抑えられるので、実装密度を高めることができる。

前記インナーリード3Aはその一端側をアウターリード3Bと一緒に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される信号が規定され、番号が付けられている。第5A図及び第5B図中、I/O0～I/O7は出入力端子、A0～A12はアドレス端子、Vccは電源電圧Vcc端子である。前記電源電圧Vccは例えば回路の動作電圧5[V]である。WEはライトイネーブル信号端子、RASはロウアドレスストローブ信号端子、Vssは基準電圧Vss端子である。前記基準電圧Vssは例えば回路の基準電圧0[V]である。OEはアウトプットイネーブル信号端子、CASはカラムアドレスストローブ信号端子、NCは空き端子である。

前記インナーリード3Aの他端側は、DRAM

サブチップ1Aの長方形状の夫々の長辺を横切り、DRAMサブチップ1A及び1Bの中央側に引き伸ばされている。インナーリード3Aの他端側の先端はポンディングワイヤ5を介在させてDRAMサブチップ1Aの中央部分に配列されたポンディングパッド(外部端子)1BPに接続されている。前記ポンディングワイヤ5はアルミニウム(Au)ワイヤを使用する。また、ポンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ポンディングワイヤ5は熱圧着に超音波振動を併用したポンディング法によりポンディングされている。

前記インナーリード3AのVcc端子と一緒に構成されているインナーリード3A₂は、DRAMサブチップ1A及び1Bの中央部分をその長辺に平行に引き伸ばされている(このVccインナーリード3A₂は共用インナーリード又はバスバーインナーリードと言われている)。前記共用インナーリード(Vcc)3A₂、共用インナーリード(Vss)3A₂の夫々は、その他のインナーリード3A(信号用インナーリード3A₁)の他端側の先端で規定された領域内において平行に延在させている。この共用インナーリード(Vcc)3A₂、共用インナーリード(Vss)3A₂の夫々はDRAMサブチップ1A及び1Bの正面のどの位置においても電源電圧Vcc、基準電圧Vssを供給することができるように構成されている。つまり、この樹脂封止型半導体装置は電源ノイズを吸収し易く構成され、DRAMサブチップ1A及び1Bの動作速度の高速化が図れるように構成されている。

前記DRAMサブチップ1Bにおいては、第5B図に示すように、インナーリード3A(3A₁、3B₂)は樹脂封止型パッケージ2の内部に収納さ

れるようにリードフレームから切断され、前記DRAMサブチップ1Aのインナーリード3Aに重ね合せられて半田、溶接等により接着されている。なお、DRAMサブチップ1Bのインナーリード3Aは、第5C図に示すように、樹脂封止型パッケージ2の大きさ位置(外周縁の位置)でリードフレームから切断してもよい。このようにすることにより、インナーリード3Aの切断加工が容易になる。

また、さらに2層分を積み重なる場合には、第5D図に示すように、DRAMサブチップ1Bのインナーリード3A、アウターリード3Bは、DRAMサブチップ1Aのインナーリード3A、アウターリード3Bと同様にインナーリード3A(3A₁、3B₂)、アウターリード3Bのそれぞれがリードフレームから切断され、かつ積層方向(DRAMサブチップ1Aとは反対方向)に折り曲げ成型される。

また、第5E図に示すように、DRAMサブチップ1A及び1Bのそれぞれのインナーリード3

Aとアウターリード3Bを重ね合せて折り曲げ成型してもよい。

前記リードフレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金、Cu等で形成されている。

DRAMサブチップ1A及び1B、ポンディングワイヤ5、インナーリード3A、チップ支持用リード(吊りリード)3Cのそれぞれはモールド樹脂2Aで封止されている。モールド樹脂2Aは、低応力化を図るために、フェノール系硬化剤、シリコーンゴム及びフィラーが添加されたエポキシ系樹脂を使用している。シリコーンゴムはエポキシ系樹脂の弾性率と同時に熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させる作用がある。また、樹脂封止型パッケージ2の所定位置にインデックスID(第1図及び第2図の左端に設けられた切り込み)が設けられている。

本実施例1のリードフレームは、第1図、第5A図(平面図)及び第5B図(平面図)に示すように、

リード3A₁、吊りリード3Cのそれぞれに対向する位置の上に、絶縁性フィルム4を介してリードフレームの信号用インナーリード3A₁、共用インナーリード3A₂、吊りリード3Cを接着剤により接着固定する。

本実施例1のリードフレームとポンディングパッド(外部端子)1BPとの接続について説明する。

第5A図に示すように、DRAMサブチップ1A(リードの配置が正規:標準配置)の場合は、信号用インナーリード3A₁及び共用インナーリード3A₂とDRAMサブチップ1Aとがそれぞれポンディングワイヤ5で電気的に接続されている。

そして、DRAMサブチップ1B(リードピンが標準配置に対して逆に配置される場合)は、第5B図に示すように、信号用インナーリード3A₁及び共用インナーリード3A₂とDRAMサブチップ1Bとがそれぞれポンディングワイヤ5で電気的に接続される。

このように、DRAMサブチップ1A及び1B

前記信号用インナーリード3A₁は等間隔に配置されている。このように信号用インナーリード3A₁を等間隔に配置することにより、それぞれの信号用インナーリード3A₁に対する電気容量が一定になるので、ノイズの影響を低減することができ、かつ信号伝送速度の高速化を図ることができる。

また、DRAMサブチップ1A及び1Bのそれぞれの正面と絶縁性フィルム4との接着、絶縁性フィルム4とインナーリード3A₁との接着は、接着剤で接着する。また、接着剤は、DRAMサブチップ1A及び1Bのそれぞれの正面と絶縁性フィルム4との接着には用いないで、絶縁性フィルム4とインナーリード3A₁との接着にのみ使用してもよい。

次に、リードフレームに絶縁性フィルム4を介在させて接着剤を用いてDRAMサブチップ1A及び1Bを接着固定する方法について説明する。

DRAMサブチップ1A及び1Bのそれぞれの正面の信号用インナーリード3A₁、共用インナ

のそれぞれの回路形成面のX方向又はY方向の中心線部にポンディングパッド1BPを設け、リードが標準配置に対して逆に配置されるようにワイヤポンディングすることにより、DRAMサブチップ1AとDRAMサブチップ1Bの同一機能を有するリード同志を一つのパッケージ2内で接続し、DRAMサブチップ1AとDRAMサブチップ1Bを重ね合せて容易に実装することができる。

次に、DRAMサブチップ1AとDRAMサブチップ1Bとのチップ選択手段について説明する。

第6図は、8メガビット(Mbit)×8ビット(bit)構成例の場合のDRAMサブチップ1AとDRAMサブチップ1B上のポンディングパッド1BPの配置とインナーリード3Aとの接続を示す説明図であり、ポンディングパッド1BPの名称は、上からio-a, io-b, io-c, io-d, io-e, io-f, io-g, io-h, F1, F2, F3である。F1, F2, F3はチップ選択用ポンディングパッドである。

DRAMサブチップ1Aのポンディングパッド

io-a, io-b, io-c, io-dは、I/O0, I/O1, I/O2, I/O3のインナーリード3Aに接続され、DRAMサブチップ1Bのボンディングパッドio-a, io-b, io-c, io-dは、I/O7, I/O6, I/O5, I/O4のインナーリード3Aに各々接続されている。つまり、DRAMサブチップ1Aは、I/O0～I/O3の出力を担当し、DRAMサブチップ1Bは、I/O4～I/O7の出力を担当している。

8 Mbit×8bit構成例の場合は、第6図に示すように、DRAMサブチップ1AとDRAMサブチップ1Bのチップ選択用ボンディングパッドF1のみが、Vcc端子である共用インナーリード3A₂にワイヤボンディングされ、他のチップ選択用ボンディングパッドF2, F3はそれぞれ空きパッドになっている。

また、16 Mbit×4bit構成例の場合は、第7図に示すように、DRAMサブチップ1AとDRAMサブチップ1Bのチップ選択用ボンディングパッドF2のみが、Vcc端子である共用インナーリード3A₂にワイヤボンディングされ、他のチップ選択用ボンディングパッドF1, F3はそれぞれ空きパッドになっている。

図に示すように、DRAMサブチップ1Aのチップ選択用ボンディングパッドF1, F2がVcc端子である共用インナーリード3A₂にワイヤボンディングされ、チップ選択用ボンディングパッドF3はワイヤボンディングされていない。そして、DRAMサブチップ1Bのチップ選択用ボンディングパッドF1, F2, F3がそれぞれVss端子である共通インナーリード3A₂にワイヤボンディングされている。

第10図に示すように、この場合のチップ選択回路100は、第5A図及び第5B図に示すアドレスリードピンA12からの信号を入力する入力端子101と、第9図に示すチップ選択用ボンディングパッドF3の信号を入力する入力端子102が設けられ、アドレスバッファ回路103、複数のインバータ104、抵抗105を第10図のように接続して構成され、出力端子106にチップ選択信号CSが出力されるようになっている。

この時、前記チップ選択信号CSがハイ(high)の時チップ選択であり、ロー(low)の時チップ

リード3A₂にワイヤボンディングされ、他のF1, F3のパッドは空きパッドになっている。

DRAMサブチップ1Aのボンディングパッドio-a, io-bは、I/O0, I/O1のインナーリード3Aに接続され、DRAMサブチップ1Bのボンディングパッドio-a, io-bは、I/O3, I/O2のインナーリード3Aに接続されている。

また、4 Mbit×16bit構成例の場合は、第8図に示すように、DRAMサブチップ1AとDRAMサブチップ1Bのチップ選択用ボンディングパッドF1, F2, F3のいずれも、Vcc端子又はVss端子である共用インナーリード3A₂にワイヤボンディングされていない。すなわち、チップ選択用ボンディングパッドF1, F2, F3のすべてが空きパッドになっている。

DRAMサブチップ1A, 1Bのボンディングパッドio-a, io-b, io-c, io-d, io-e, io-f, io-g, io-hは、各々I/O0～I/O7及びI/O15～I/O8に接続されている。

また、64 Mbit×1bit構成例の場合は、第9

非選択である。そして、前記入力端子102とDRAMサブチップ1AとDRAMサブチップ1Bとの接続は第11A図に示すようになっている。入力端子102の信号がハイ(high)の時DRAMサブチップ1Aが選択され、ロー(low)の時DRAMサブチップ1Bが選択されるようになっている。

また、第11B図は、前記DRAMサブチップ1AとDRAMサブチップ1Bとの間をリード3を用いて信号を伝達した使用例を示している。

第12図に、前記チップ選択用ボンディングパッドF1, F2, F3の接続、サブチップ当りの入出力数、入出力ピンで決められる、出力数制御のためのボンディングオプションを示す。第12図において、NCはワイヤーボンディングされない空きパッドを示し、Axはアドレス入力の一部(例えば、最上位アドレス)を接続する。

なお、本実施例1では、チップの選択、出力数の制御をボンディングパッドF1, F2, F3を設けてワイヤボンディングする方式で行うように

したが、本発明においては、それをインナリード3 A及びポンディングワイヤ5を用いて行うようにしてもよい。

以上説明したように、本実施例1によれば、以下の効果を奏する。

(1) 最も適切な設計による所定の機能を有する64MbitDRAM1が2個の32MbitDRAMサブチップ1Aと1Bに分割され、該分割されたDRAMサブチップ1Aと1Bが前記分割前の最も適切な設計による所定の機能を有する64MbitDRAM1を構成するように電気的に接続されるので、最も適切な設計による64MbitDRAM1を容易に得ることができる。

また、最も適切な設計による64MbitDRAM1の製造歩留を向上することができる。

例えば、第13図(ウエーハの平面図であり、斜線を施した部分は良品、斜線を施していない部分は不良品を示す)に示すように、従来法では良品が2個しかとれなったが、本実施例1の2分割法では8個とることができた。

ワイヤポンディングされたDRAMサブチップ1Bと、前記ポンディングパッド1BPとインナーリード3Aの電気的接続が標準配置にワイヤポンディングされたDRAMサブチップ1Aとが、それぞれの同一機能のインナーリード3A同志を半田、溶接等で接着して重ね合せられた積層構造にしたことにより、内部配線を短縮することができるので、信号伝送速度を速くすることができる。

(4) 前記分割された2個のDRAMサブチップ1Aと1Bは、同じ半導体素子又は回路からなることにより、積層してパッケージ内配線を使用することができるので、多ビット構成が容易に実現できる。

また、良品部分だけを組み合せ、小規模のオーバヘッドを2個のDRAMサブチップ1Aと1Bのそれぞれに持たせ必要部分だけをパッケージ内配線で接続するので、製造の歩留を向上させることができる。

[実施例2]

第15図は、本発明の実施例2の最も適切な設

また、第14A図及び第14B図に示すように、2分割により、アドレスバッファ回路、入出力バッファ回路等のバッファ回路201と202(第14B図)の配置面積が、バッファ回路200(第14A図)の配置面積の2分の1(1/2)となるので、その分散配置が容易となり、また、配線の寄生負荷(抵抗R、容量Cはチップ長さに比例する)が分割しない場合の配線の2分の1(1/2)となるので、信号伝達の高速化がはかる。第14A図及び第14B図中、kはチップ分割数を示し、Dは遅延時間を示す。

(2) 前記2個のDRAMサブチップ1Aと1Bとを重ね合せて積層構造にするので、従来のパッケージの外形と同じ寸法で実装密度を向上することができる。

(3) 前記2個のDRAMサブチップ1Aと1Bのそれぞれの回路形成面のX方向又はY方向の中心線部にポンディングパッド1BPが設けられ、ポンディングパッド1BPとインナーリード3Aの電気的接続が標準配置に対して逆(鏡面対称)に

計によるマイクロコンピュータ(以下、マイコンという)の概略構成を示すブロック図であり、第16図は、第15図に示すマイコンを2個の半導体素子又は回路群に分割し、それを2個の半導体チップに形成した概略構成を示すブロック図である。第15図及び第16図において、20はデータRAM&データROM(Read Only Memory)、21は汎用レジスタ、22はRAMポインタ&ROMポインタ、23は乗算回路(MULT)、24は演算論理ユニット、25は乗算回路出力(MO)、26はアキュームレータ(ACC)、27は入出力(I/O)バッファ、28は入出力用レジスタ、29はプログラムカウンタ、30はインストラクションROM、31はコントロール&タイミングロジック、32はデータ・アドレスバス、300はマイコン半導体チップ、300A及び300Bはマイコンサブチップであり、T1~T7は配線端子である。

本実施例2のマイコンは、第15図に示す最も適切な設計によるマイコン半導体チップ300を、第16図に示すように、2個のマイコンサブチッ

ブ300Aと300Bに分割し、両者の同一機能の配線接続端子同志（T1～T7のうち同一のもの同志）が重ね合さるように対称形に回路構成と配線が形成されたものである。

前記マイコンサブチップ300Aには、汎用レジスタ21、RAMポイント&ROMポイント22、乗算回路（MULT）23、演算論理ユニット24、乗算回路出力（MO）25、アキュームレータ（ACC）26、入出力（I/O）バッファ27、入出力用レジスタ28、プログラムカウンタ29、コントロール&タイミングロジック31が0.8μプロセスにより形成されている。

また、マイコンサブチップ300Bには、データRAM&データROM20及びインストラクションROM30が0.5μプロセスにより形成されている。

そして、前記実施例1と同様にマイコンサブチップ300Aと300Bとが前記配線端子T1～T7の同じ記号同志が重ね合さるよう積み重ねられ、前記配線端子T1～T7の同じ記号同志が半田、

接続等で接着され、一つのパッケージに実装されたものである。

前記サブメモリチップ310Aは、その主面にメモリアレイ系の素子又は回路、つまりメモリアレイ301、Xデコーダ（XDEC）302、Yデコーダ（YDEC）303、Xプレデコーダ（Xpredec）304、Yプレデコーダ（Ypredec）305、読み取り書き込み（read/write）回路306及びアドレスバッファ（address buffers）307が、0.3μプロセスにより形成されている。

また、サブメモリチップ310Bは、その主面に制御系の回路、つまりROW系制御回路308及びCOLUMN系回路309が、0.8μプロセスにより形成されている。

このように、本実施例3によれば、前記実施例1と同様の効果を奏すると共に、製造歩留の異なる0.3μプロセスチップと0.8μプロセスチップを積み重ねて目的の最適に設計による半導体記憶

接続等で接着され、一つのパッケージに実装されたものである。

以上の説明からわかるように、本実施例2によれば、前記実施例1と同様の効果を奏すると共に、マイコンサブチップ300Aは0.8μプロセスにより製造され、マイコンサブチップ300Bは0.5μプロセスにより形成されるので、さらに製造歩留を向上させることができる。

〔実施例3〕

第17図は、本発明の実施例3の半導体記憶装置の概略構成を示すブロック図である。

第17図において、301はメモリアレイ、302はXデコーダ（XDEC）、303はYデコーダ（YDEC）、304はXプレデコーダ（Xpredec）、305はYプレデコーダ（Ypredec）、306は読み取り書き込み（read/write）回路、307はアドレスバッファ（address buffers）、308はROW系制御回路、309はCOLUMN系回路、310は半導体記憶装置、310A、310Bはサブメモリチップである。

第17図に示すように、本実施例3の半導体記

憶装置310は、2個のサブメモリチップ310Aと310Bに分割され、この分割されたサブメモリチップ310Aと310Bとが前記実施例1と同様に積み重ねられ、両者は電気的に接続されるものである。

また、同種類の構成要素に目的装置を分割して異なるプロセスでそれぞれを製造して組立てて一個のパッケージに実装するので、コスト的にも最適な目的装置を製造することができる。

〔実施例4〕

第18図は、本発明の実施例4の半導体装置の製造方法を説明するためのブロック図である。

第18図において、400は2Mbit×9bitDRAM、401は2Mbit×8bitDRAMのサブチップ、402は2Mbit×1bitDRAMのサブチップである。

本実施例4の半導体装置の製造方法は、例えば、第18図に示すような2Mbit×9bitDRAM400を製造する場合、2Mbit×8bitDRAMのサブチップ401を0.5μプロセスにより製造し、2Mbit×1bitDRAMのサブチップ402を0.8μプロセスにより製造する。

そして、このサブチップ401とサブチップ402と

を積み重ねて 2 Mbit × 9 bit DRAM 400 が構成されるようにボンディングパッド、ワイヤ、リード等によりパッケージ内で電気的に接続し、モールド樹脂で封止する。

このようにすることにより、異なるプロセス(又は同じプロセス)で製造されたサブチップ401とサブチップ402とから 2 Mbit × 9 bit DRAM 400 を容易に製造することができると共に、製造歩留を向上することができる。

次に、前記実施例 1, 2, 3, 4において、2 個のサブチップを一個のパッケージに実装する変形例を実施例 1 に適用した例で説明する。

第 19 図に示すように、ポリイミド系樹脂の絶縁フィルム 4 でコートされたタブレスリードフレームのインナーリード 3 A の上下面に絶縁性接着剤が塗布され、そのインナーリード 3 A の上面に DRAM サブチップ 1 B の背面(正面と反対面)が接着固定され、下面に DRAM サブチップ 1 A の正面が接着固定される。この時、上側の DRAM サブチップ 1 B と下側の DRAM サブチップ 1

A は、ワイヤボンディングに必要なスペースの分だけ(約 1 mm 程度)インナーリード 3 A を中心にずらされる。この状態で下側の DRAM サブチップ 1 A とは、LOC の技術を用いてワイヤボンディングされ、上側の DRAM サブチップ 1 B とは従来の通常技術を用いてワイヤボンディングされる。これをレジンでモールドされ、リードフレームが切断され、かつ屈曲成形される。

また、第 20 図に示すように、下側の DRAM サブチップ 1 A とインナーリード 3 A とが半田バンプ 10 で電気的に接続されるときは、前述の方法のように上側の DRAM サブチップ 1 B と下側の DRAM サブチップ 1 A とは、ワイヤボンディングに必要なスペースの分だけ(約 1 mm 程度)インナーリード 3 A を中心にずらす必要がない。

また、第 21 図に示すように、リード 3 の上に DRAM サブチップ 1 A と DRAM サブチップ 1 B とを並べて絶縁接着剤で接着固定し、各リード 3 と対応するボンディングパッド 1 B P をワイヤボンディングする。その後、Y-Y' 線に沿って

リード 3 を屈曲させて、第 22 図(a)に示すように、DRAM サブチップ 1 A と DRAM サブチップ 1 B の背面同志がポリイミド系樹脂の絶縁フィルム 4 を介在させて合わせられて接着固定される。これを第 22 図(b)に示すように、レジンでモールドする。

また、前記実施例では、分割された半導体チップを 1 個のパッケージに実装にする例で本発明を説明したが、本発明においては、前記分割された半導体チップを TAB のように別々に実装して重ね合せて最適な設計による半導体装置を再構成するようにしてもよい。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 最も適切な設計による半導体装置を容易に得ることができる。

また、最も適切な設計による半導体装置の製造歩留を向上することができる。

(2) 従来のパッケージの外形と同じ寸法で実装密度を向上することができる。

(3) 内部配線を短縮することができるので、信号伝送速度を速くすることができる。

(4) 多ビット構成が容易に実現できる。

(5) 多種類のシステムを構成することができる。

(6) 外形の小さな高集積半導体装置を低コストで実現することができる。

(7) 製造歩留を向上することができると共に、コストの最適化がはかれる。

4. 図面の簡単な説明

第 1 図は、本発明の一実施例である 64 Mbit DRAM(半導体チップ)を封止する樹脂封止型半導体装置の概略構成を示す部分断面斜視図。

第 2 図は、第 1 図の平面図。

第 3 図は、第 2 図のイーイ線で切った断面図。

第4図は、第1図に示す64MbitDRAMの最適設計のレイアウト平面図。

第5A図、第5B図、第5C図、第5D図、第5E図は、第1図に示す実施例1のポンディングパッドとインナーリードの電気的接続を説明するための説明図。

第6図乃至第10図、第11A図、第11B図、第12図は、第1図に示す実施例1のチップ選択手段を説明するための説明図。

第13図、第14A図及び第14B図は、第1図に示す実施例1の効果を説明するための説明図。

第15図は、本発明の実施例2の最も適切な設計によるマイコンの概略構成を示すブロック図。

第16図は、第15図に示すマイコンを2個の半導体チップ又は回路群に分割し、それぞれを2個の半導体チップに形成した概略構成を示すブロック図。

第17図は、本発明の実施例3の半導体記憶装置の概略構成を示すブロック図。

第18図は、本発明の実施例4の半導体装置の

製造方法を説明するためのブロック図。

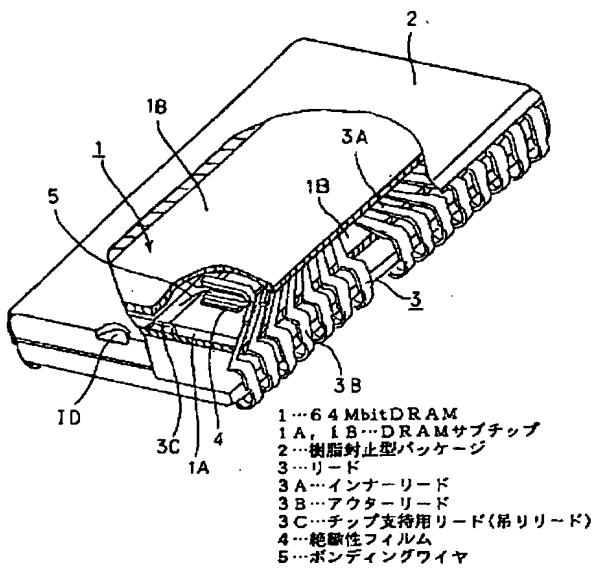
第19図乃至第22図は、2個のサブチップを一個のパッケージに実装する変形例を実施例1に適用した例を示す図である。

図中、1…64MbitDRAM、1A、1B…DRAMサブチップ、2…樹脂封止型パッケージ、3…リード、3A…インナーリード、3A…信号用インナーリード、3A…共用インナーリード、3B…アウターリード、3C…チップ支持用リード(吊リリード)、4…絶縁性フィルム、5…ポンディングワイヤ、1BP…ポンディングパッド。

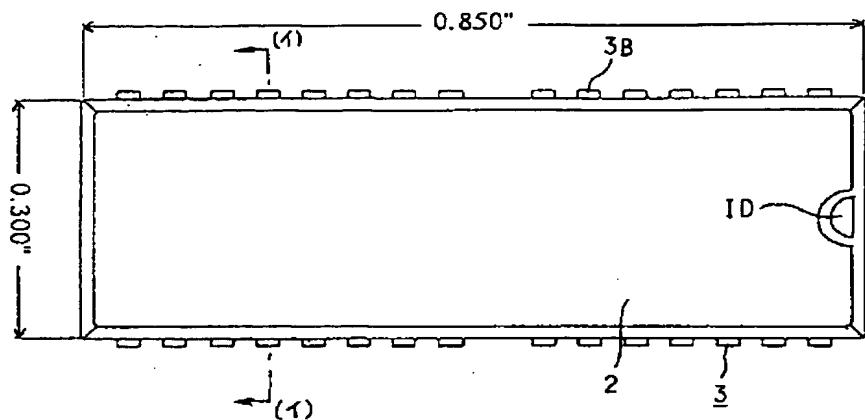
100…チップ選択回路、200…バッファ回路、300…マイコン半導体チップ、300A、300B…マイコンサブチップ、310…半導体記憶装置、310A、310B…サブメモリチップ。

代理人 井理士 秋田収喜

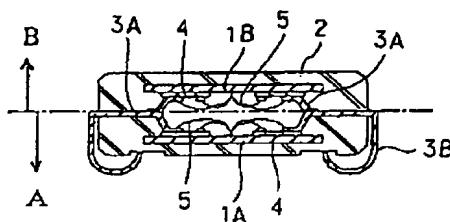
第1図



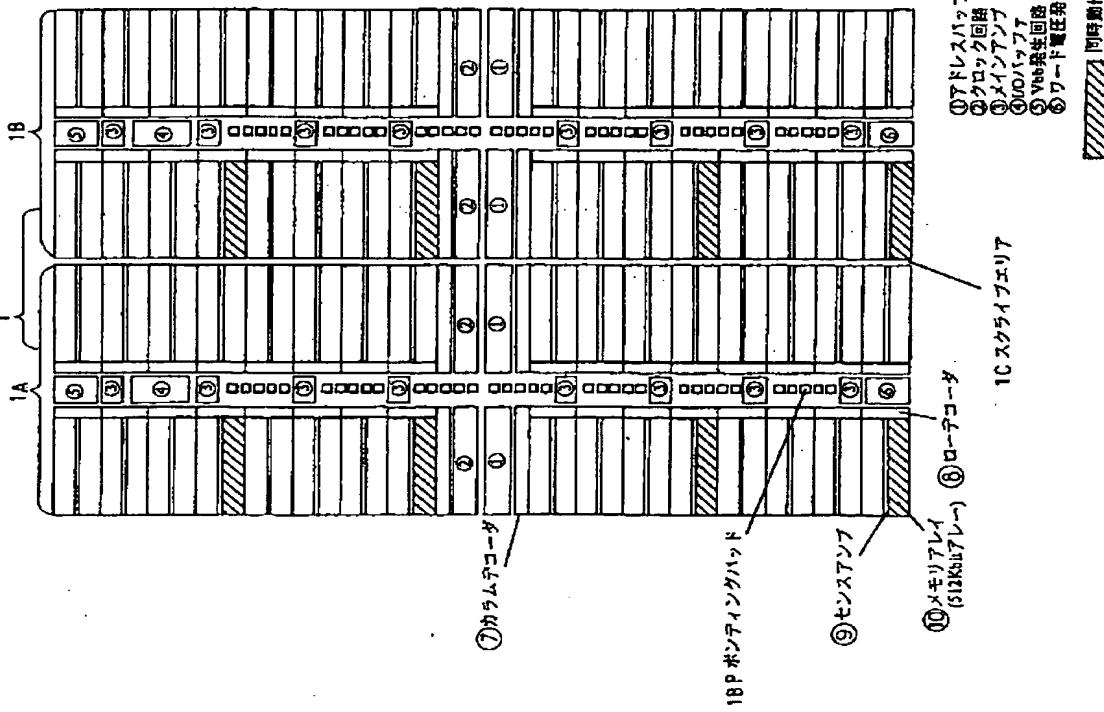
第2図



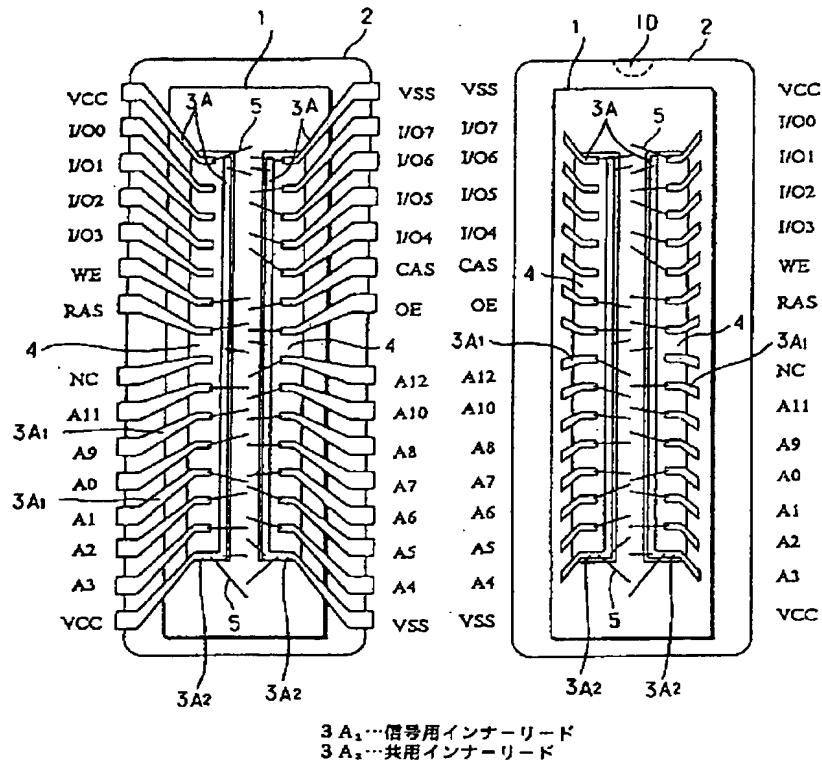
第3図



第4回

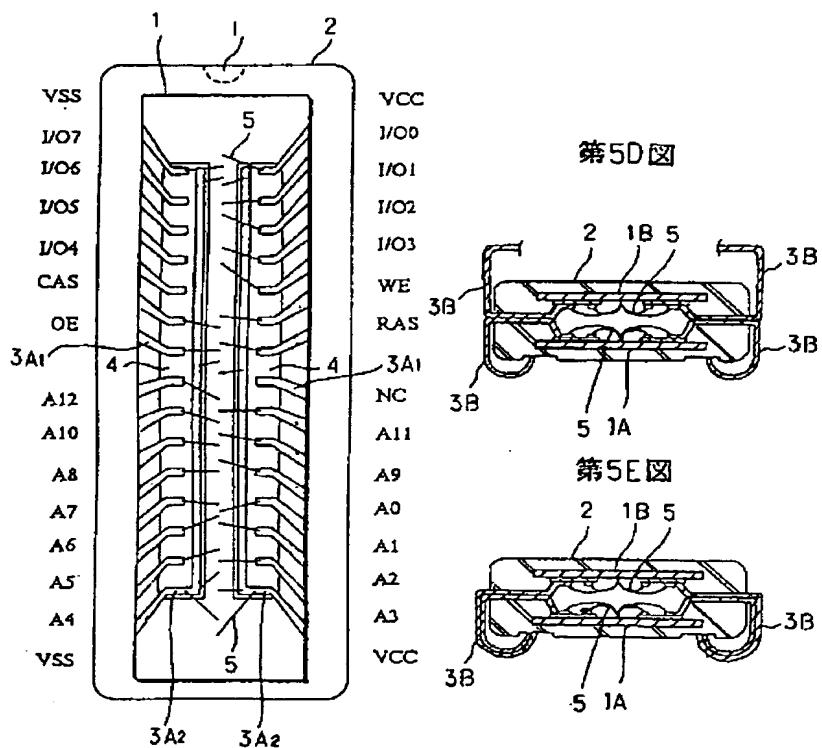


第5A図

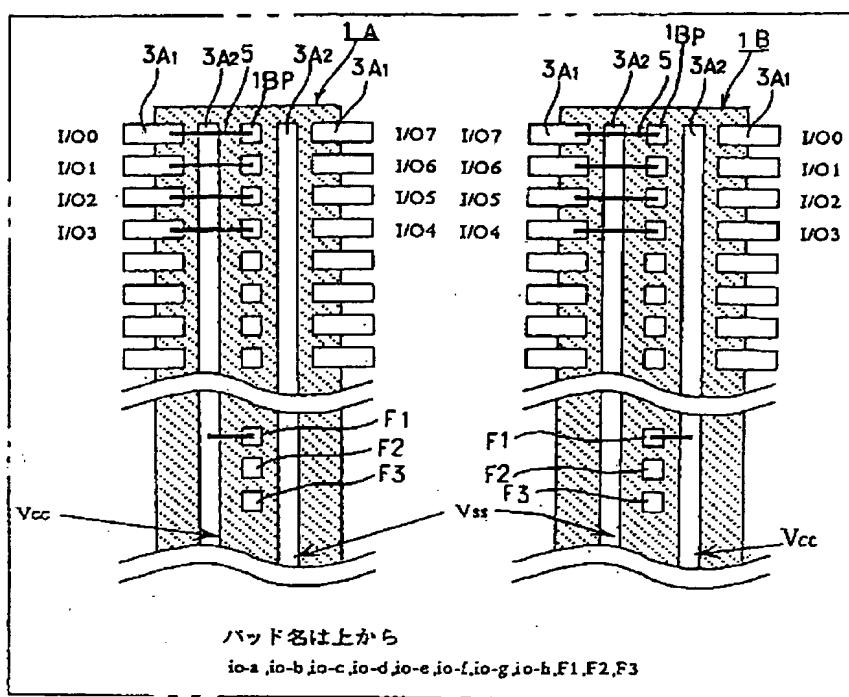


第5B図

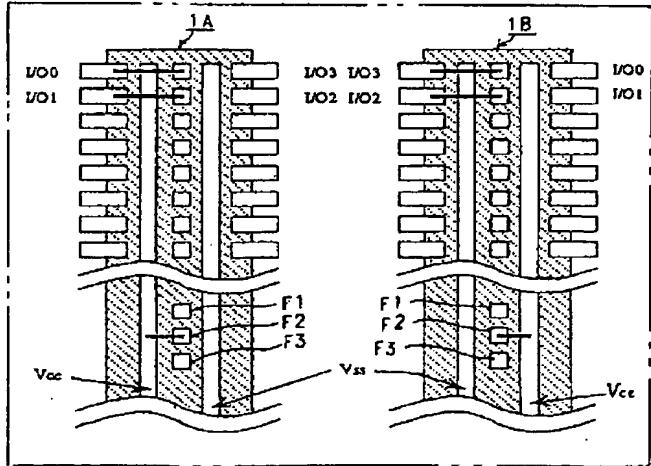
第5C図



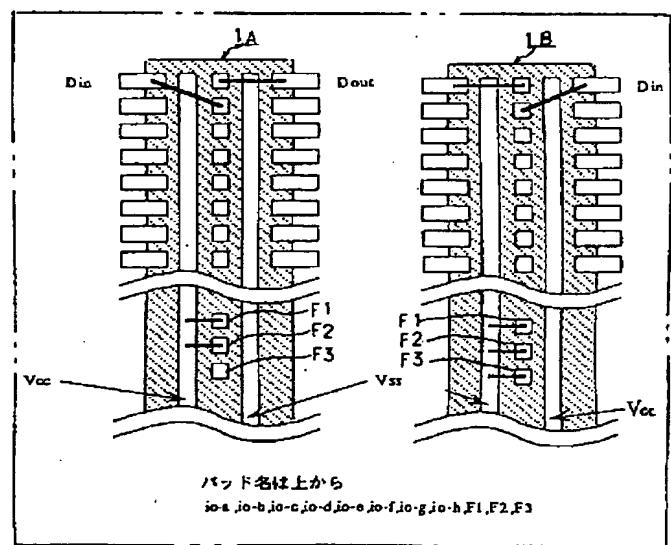
第6図



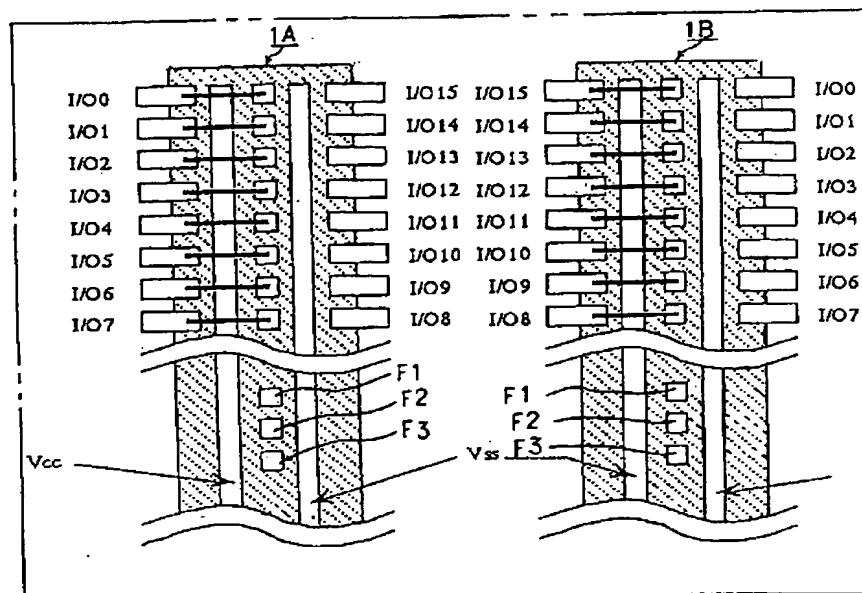
第7回



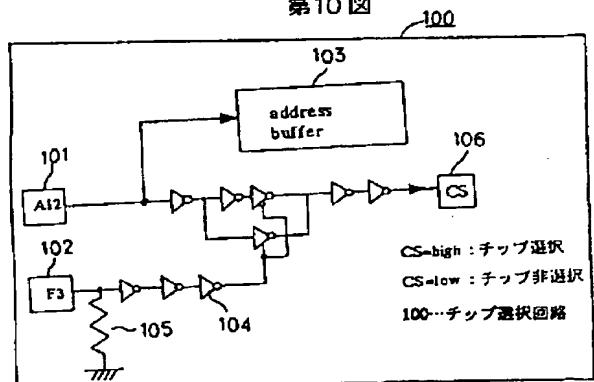
第9図



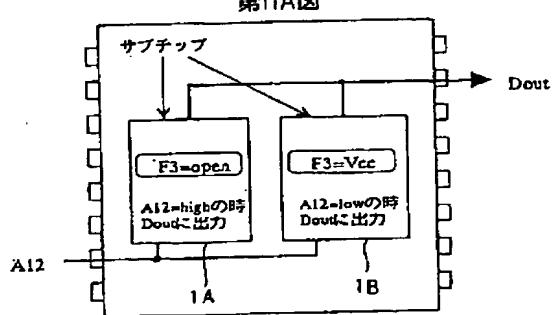
第8図



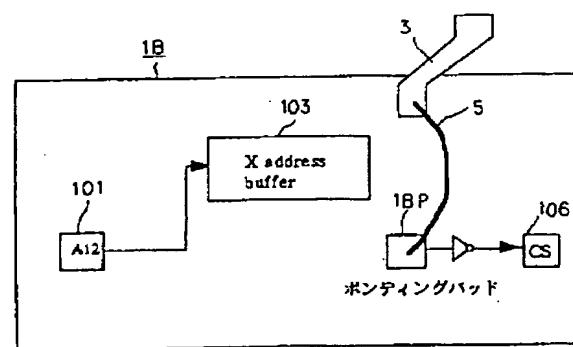
第10図



第11A図



第11B図



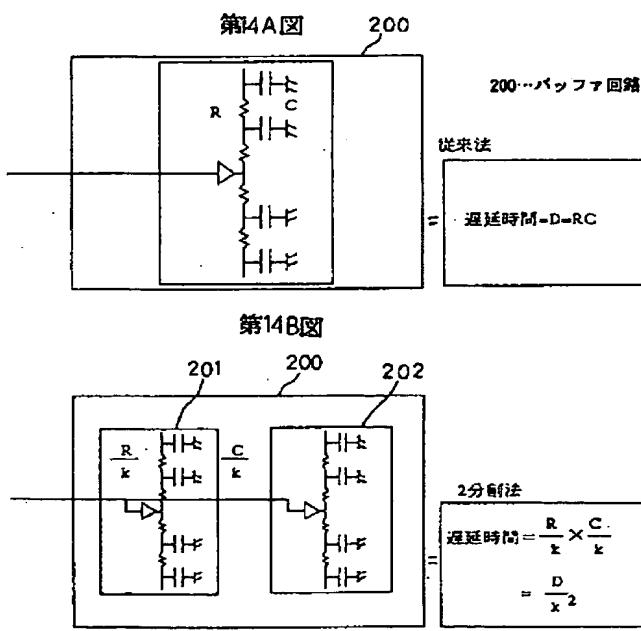
101 { A12=high ... チップA選択
A12=low ... チップB選択

第13回

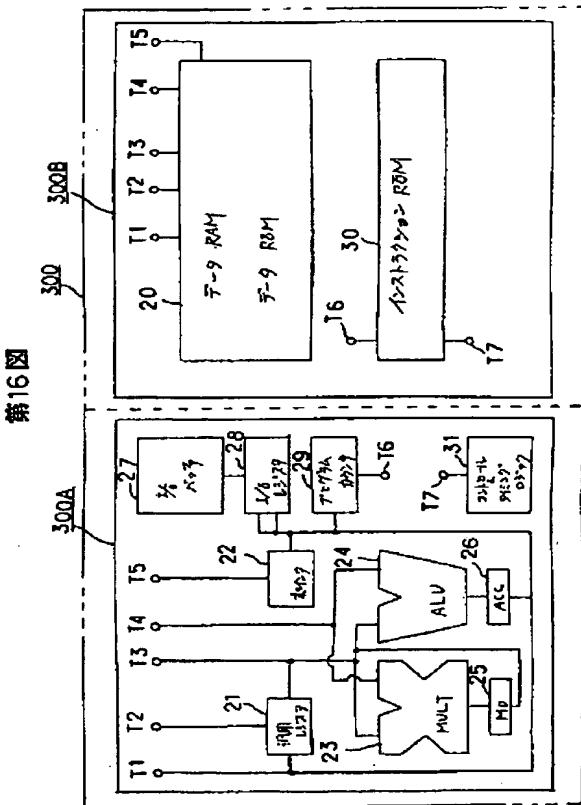
F3	F2	F1	入出力数/サブチップ	入出力ピン
NC	NC	NC	× 8	io-a, io-b, io-c, io-d, io-e, io-f, io-g, io-h
NC	NC	Vcc	× 4	io-a, io-b, io-c, io-d
NC	Vcc	NC	× 2	io-a, io-b
NC	Vcc	Vcc	X 1 (AxHighで選択)	Dot=io-1, Dot=io-2 (Ax=highの時)
Vcc	Vcc	Vcc	X 1 (AxLowで選択)	Dot=io-3, Dot=io-4 (Ax=lowの時)

注) Axisアドレス入力の一部(例えば、最上位アドレス)を接続する。

第12回

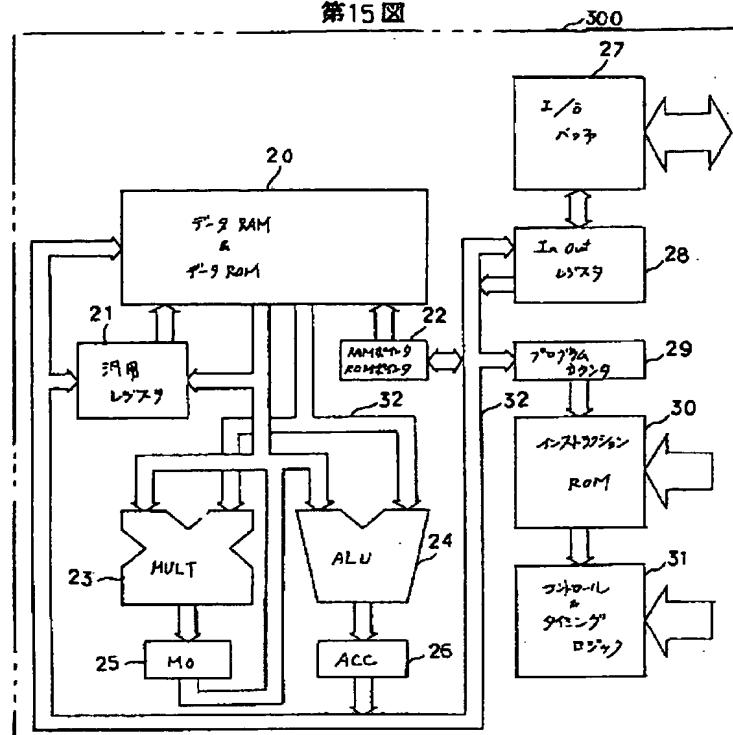


第14B回



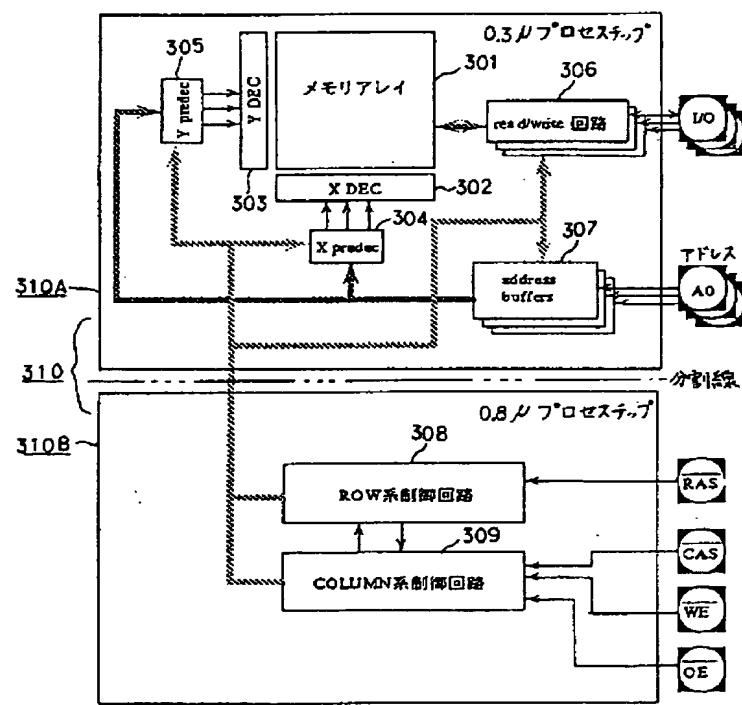
16

第15図

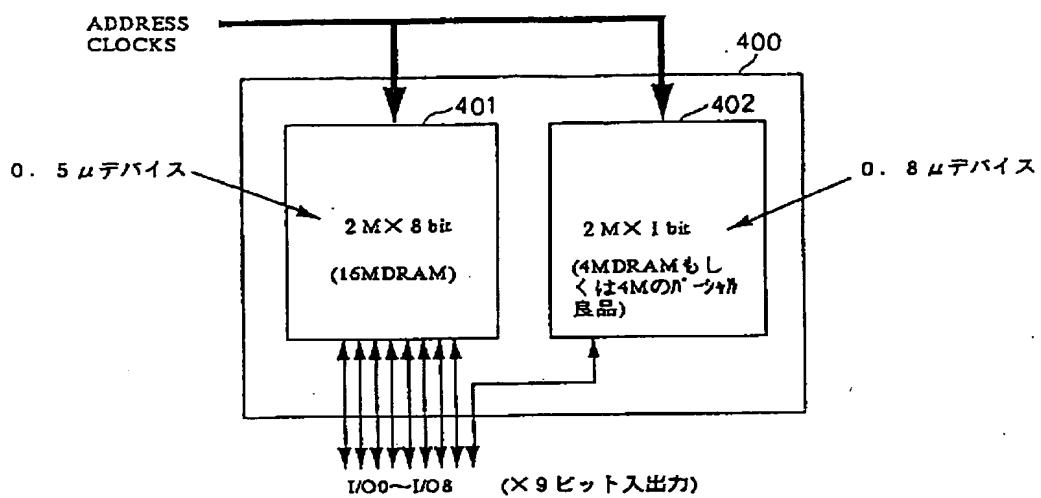


300…マイコン半導体チップ

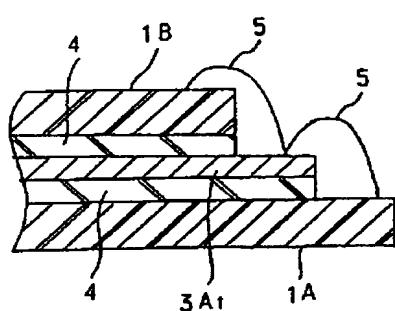
第17図

310…半導体記憶装置
310A, 310B…サブメモリチップ

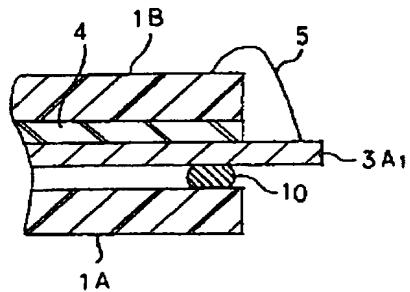
第18図



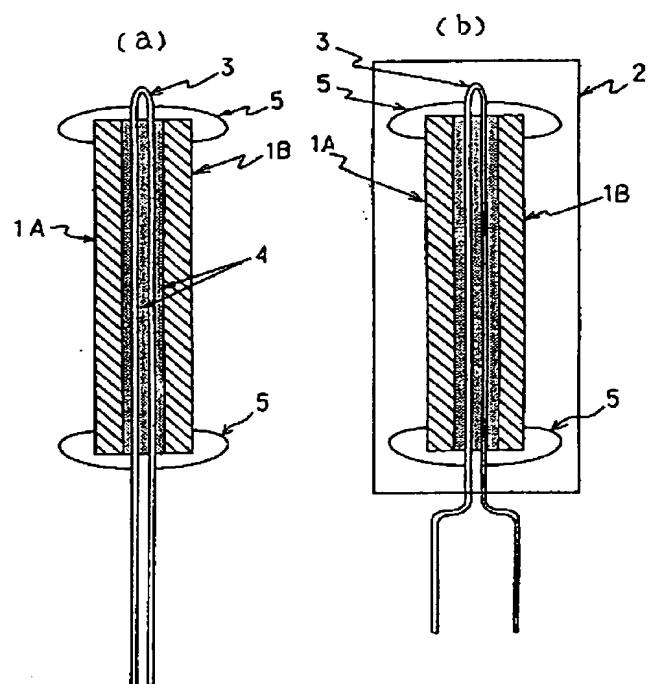
第19図



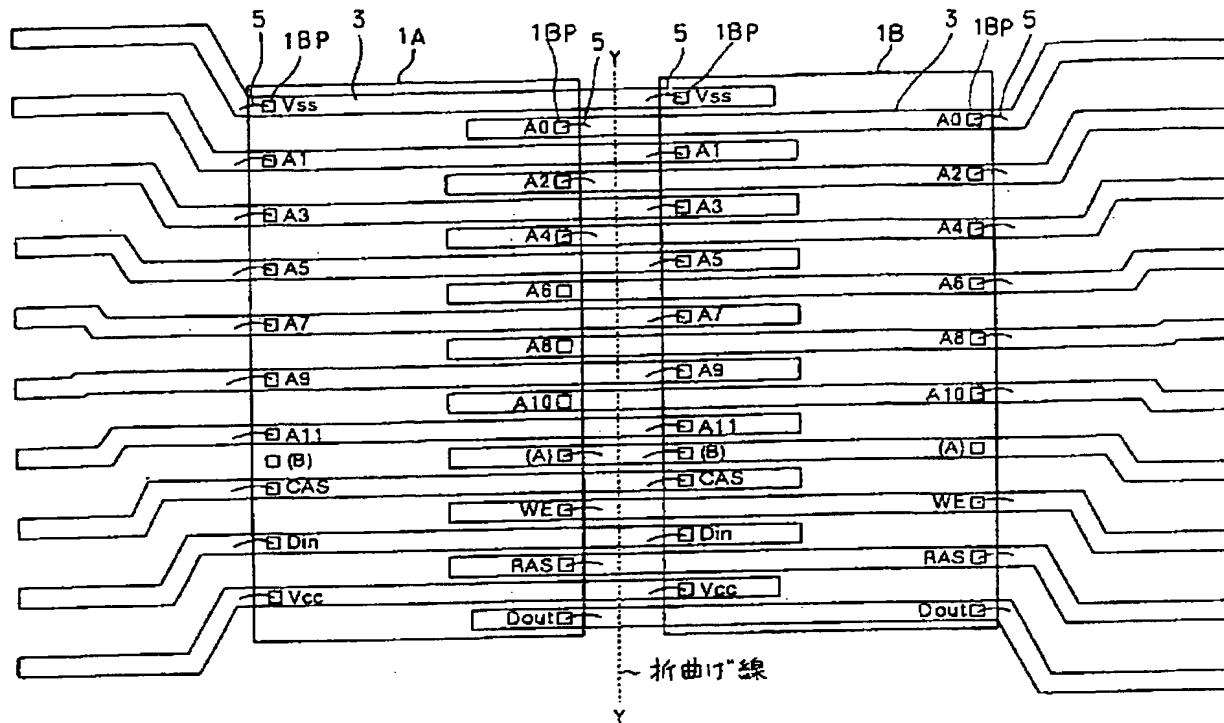
第20図



第22図



第21図



第1頁の続き

⑤Int. Cl. 5

H 01 L 25/00
25/04
25/07
25/18

識別記号 庁内整理番号

A 7638-4M

⑥発明者 安生 一郎 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内
⑥発明者 作田 俊之 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内